

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All its. reserv.

010834679    \*\*Image available\*\*

WPI Acc No: 96-331632/199633

XRAM Acc No: C96-104828

XRPX Acc No: N96-279782

**Electrode wiring material for electrode wiring board of active matrix type LCD device - includes molybdenum@ and tungsten@ with additional xenon and krypton**

Patent Assignee: TOSHIBA KK (TOKE )

Inventor: ATSUTA M; HARA Y; IKEDA M; OGAWA Y; OKA T; TAKEMURA M; TSUJI Y

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 8153722	A	19960611	JP 95253259	A	19950929	H01L-021/3205	199633 B
US 5738948	A	19980414	US 95536608	A	19950929	G02F-001/1343	199822

Priority Applications (No Type Date): JP 94233932 A 19940929

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
JP 8153722	A	12			
US 5738948	A	15			

Abstract (Basic): JP 8153722 A

The electrode wiring material is used to form an electrode wiring board which forms an electrode wiring on a glass substrate. The electrode wiring comprises a metal which is chosen out of Mo and W. The addn. element is chosen out of a gp. contg. Xe and Kr in the range of about 0.003-3 and Ar in the range of 0.0003-5 at.%. The ratio of matrix constant of material to that of the material in bulk state is less than 3%.

ADVANTAGE - Facilitates easy handling. Improves reliability.

Dwg.3/15

Title Terms: ELECTRODE; WIRE; MATERIAL; ELECTRODE; WIRE; BOARD; ACTIVE; MATRIX; TYPE; LCD; DEVICE; MOLYBDENUM; TUNGSTEN; ADD; XENON; KRYPTON

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): G02F-001/1343; H01L-021/3205

International Patent Class (Additional): C22C-027/04; H01L-021/285;

H01L-029/786

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05198222 \*\*Image available\*\*

ELECTRODE WIRING MATERIAL AND ELECTRODE WIRING BOARD USING IT

PUB. NO.: 08-153722 [JP 8153722 A]

PUBLISHED: June 11, 1996 (19960611)

INVENTOR(s): IKEDA MITSUSHI

TSUJI YOSHIKO

OGAWA YOSHIFUMI

ATSUTA MASAKI

HARA YUJIRO

OKA TOSHIYUKI

TAKEMURA MOMOKO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 07-253259 [JP 95253259]

FILED: September 29, 1995 (19950929)

INTL CLASS: [6] H01L-021/3205; G02F-001/1343; H01L-021/285; H01L-021/285;  
H01L-029/786

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
MATERIALS -- Glass Conductors); R129 (ELECTRONIC MATERIALS --  
Super High Density Integrated Circuits, LSI & GS

ABSTRACT

PURPOSE: To provide a low resistivity and to facilitate handling by making Mo and/or W the major component and by adding an element selected from Ar, Kr and Xe.

CONSTITUTION: A gate electrode 1 formed on a glass board 10(sub 1) is made to have Mo and/or W as major component, and the ratio of the lattice constant of the material of the gate electrode 1 to the lattice constant of the material in bulk condition is be within plus or minus 3%. An element selected from Ar, Kr and Xe is added to the metal of the major component. In such case, Ar is set at 0.0003 atom %-5 atom %, Kr is set at 0.0003 atom %-3 atom % and Xe is set at 0.0003 atom % to 3 atom %. The content of the major component, Mo and/or W, is preferably 10 atom %-95 atom %. Thus, a low resistivity is obtained and handling is facilitated.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-153722

(43)公開日 平成8年(1996)6月11日

(51)Int.Cl.\*

H 01 L 21/3205

G 02 F 1/1343

H 01 L 21/285

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

H 01 L 21/ 88

M

29/ 78

6 1 2 C

審査請求 未請求 請求項の数13 O L (全 12 頁) 最終頁に続く

(21)出願番号

特願平7-253259

(22)出願日

平成7年(1995)9月29日

(31)優先権主張番号 特願平6-233932

(32)優先日 平6(1994)9月29日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72)発明者 辻 佳子

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(72)発明者 小川 吉文

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

(74)代理人 弁理士 鈴江 武彦

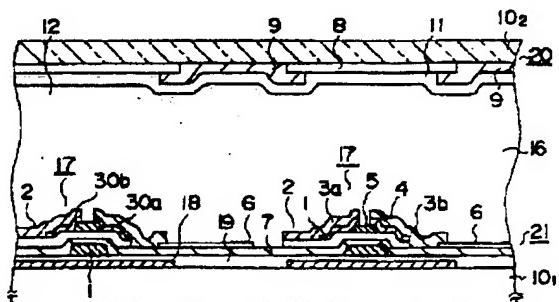
最終頁に続く

(54)【発明の名称】 電極配線材料およびこれを用いた電極配線基板

(57)【要約】

【課題】本発明は、充分に低い抵抗率を有し、しかも取扱いが容易である電極配線材料を提供すること、およびこの電極配線材料を用いた信頼性の高い電極配線基板を提供することを目的とする。

【解決手段】MoおよびWから選ばれた少なくとも1種を主成分とし、0.0003原子%~5原子%のAl、0.0003原子%~3原子%のKr、および0.0003原子%~3原子%のXeからなる群より選ばれた添加元素を含むことを特徴としている。また、ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線がMoおよびWから選ばれた少なくとも1種の金属で構成されており、前記電極配線における材料のバルク状態の格子定数に対する前記材料の格子定数の割合が±3%以内であることを特徴としている。



## 【特許請求の範囲】

【請求項1】 M<sub>o</sub>およびWから選ばれた少なくとも1種を主成分とし、0.0003原子%～5原子%のAr、0.0003原子%～3原子%のKr、および0.0003原子%～3原子%のXeからなる群より選ばれた添加元素を含むことを特徴とする電極配線材料。

【請求項2】 Wを主成分とし、またはWとM<sub>o</sub>およびCrから選ばれた少なくとも1種とを主成分とし、0.0003原子%～5原子%のAr、0.0003原子%～3原子%のKr、および0.0003原子%～3原子%のXeからなる群より選ばれた添加元素を含むことを特徴とする電極配線材料。

【請求項3】 前記主成分にTiが添加されている請求項1または2記載の電極配線材料。

【請求項4】 前記Krの含有量が、0.0003原子%～1原子%である請求項1または2記載の電極配線材料。

【請求項5】 前記Krの含有量が、0.0003原子%～0.5原子%である請求項1または2記載の電極配線材料。

【請求項6】 前記WあるいはM<sub>o</sub>の含有率が10原子%～95原子%である請求項1または2記載の電極配線材料。

【請求項7】 ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線がM<sub>o</sub>およびWから選ばれた少なくとも1種の金属で構成されており、前記電極配線における材料のバルク状態の格子定数に対する前記材料の格子定数の割合が±3%以内であることを特徴とする電極配線基板。

【請求項8】 前記材料のバルク状態の格子定数に対する前記電極配線における材料の格子定数の割合が±1%以内である請求項7記載の電極配線基板。

【請求項9】 ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線が、Wまたは、WとM<sub>o</sub>およびCrから選ばれた少なくとも1種の金属で構成されており、前記電極配線における材料のバルク状態の格子定数に対する前記材料の格子定数の割合が±3%以内であることを特徴とする電極配線基板。

【請求項10】 前記材料のバルク状態の格子定数に対する前記電極配線における材料の格子定数の割合が±1%以内である請求項9記載の電極配線基板。

【請求項11】 前記金属にTiが添加されている請求項7または9記載の電極配線基板。

【請求項12】 前記WあるいはM<sub>o</sub>の含有率が10原子%～95原子%である請求項7または9記載の電極配線基板。

【請求項13】 前記電極配線がスパッタリング法により形成された請求項7または9記載の電極配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電極配線材料およびこれを用いた電極配線基板に関する。

## 【0002】

【従来の技術およびその課題】 近年、非晶質シリコン（以下、a-Siと省略する）膜を用いて形成された薄膜トランジスタ（以下、TFTと省略する）をスイッチング素子として構成されたアクティブマトリクス型液晶表示装置が、大面積、高精細、高画質かつ安価なパネルディスプレイを実現できるものとして期待されている。

【0003】 大面積のパネルディスプレイを構成する場合、必然的にアドレス配線の総延長が飛躍的に増加するので、アドレス配線の有する抵抗分が増加して、スイッチング素子に与えられるゲートパルスのアドレス配線の抵抗分に起因する遅延が頭著になり、液晶の正常な制御ができなくなるという問題がある。このため、アドレス配線等の配線材料としては、抵抗率が充分に低い材料を用いる必要がある。現在では、このような低抵抗の配線や電極の材料として、アルミニウム（Al）が用いられている。

【0004】 しかしながら、電極配線材料としてAlを用いた場合には、形成された電極や配線にヒロックや丸膨れが生じることがある。また、Alは、耐食性が悪いという欠点もある。したがって、上記問題を有するAlを電極配線材料として用いて各種素子を形成した電極配線基板を作製しても、信頼性の高い素子を得ることはできない。このように、Alは、電極や配線の形成プロセスにおいて種々の制約を与える材料であり、好ましい電極配線材料ではない。

【0005】 本発明はかかる点に鑑みてなされたものであり、充分に低い抵抗率を有し、しかも取扱いが容易である電極配線材料を提供すること、およびこの電極配線材料を用いた信頼性の高い電極配線基板を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明の第1の発明は、M<sub>o</sub>およびWから選ばれた少なくとも1種を主成分とし、0.0003原子%～5原子%のAr、0.0003原子%～3原子%のKr、および0.0003原子%～3原子%のXeからなる群より選ばれた添加元素を含むことを特徴とする電極配線材料を提供する。

【0007】 また、本発明の第1の発明は、Wを主成分とし、またはWとM<sub>o</sub>およびCrから選ばれた少なくとも1種とを主成分とし、0.0003原子%～5原子%のAr、0.0003原子%～3原子%のKr、および0.0003原子%～3原子%のXeからなる群より選ばれた添加元素を含むことを特徴とする電極配線材料を提供する。

【0008】 本発明の第2の発明は、ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線がM<sub>o</sub>およびWから選ばれた少なくとも1種の金

属で構成されており、前記電極配線における材料のバルク状態の格子定数に対する前記材料の格子定数の割合が±3%以内であることを特徴とする電極配線基板を提供する。

【0009】また、本発明の第2の発明は、ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線が、Wまたは、WとMoおよびCrから選ばれた少なくとも1種の金属で構成されており、前記電極配線における材料のバルク状態の格子定数に対する前記材料の格子定数の割合が±3%以内であることを特徴とする電極配線基板を提供する。

【0010】第1の発明において、主成分金属に添加するArは0.0003原子%～5原子%に設定する。また、主成分金属に添加すKrは0.0003原子%～3原子%に設定する。また、主成分金属に添加すXeは0.0003原子%～3原子%に設定する。これは、それぞれの原子の添加量の下限未満であると工業的に成膜が難しくなり、上限を超えると得られた膜の抵抗率が急激に高くなるからである。より好ましいArの添加量は、0.001原子%～1原子%である。より好ましいKrの添加量は、0.0003原子%～1原子%であり、特に好ましいKrの添加量は、0.0003原子%～0.5原子%である。より好ましいXeの添加量は、0.001原子%～1原子%である。

【0011】第2の発明において、電極配線がスパッタリング法により形成されることが好ましい。これにより、高い付着力を有する膜を大面積の基板上に成膜することができる。

【0012】第1および第2の発明においては、主成分にTiが添加されていることが好ましい。これにより、付着力を向上させ、また耐酸性を向上することができる。第1および第2の発明において主成分金属が、MoおよびWから選ばれた少なくとも1種の金属である場合、WあるいはMoの含有率が10原子%～95原子%であることが好ましい。これは、WあるいはMoの含有率が10原子%～95原子%の範囲内であると、低い抵抗率を有する膜が得られるスパッタリング条件のマージンが広くなるからである。本発明の電極配線基板としては、液晶表示装置や半導体装置を形成した基板等を挙げることができる。

【0013】

【発明の実施の形態】本発明にかかる電極配線材料は、例えば従来の電極配線材料であるWやMo等とは異なり、材料中に所定の含有量でAr、XeあるいはKrを含むことを特徴としている。これにより、充分に低い抵抗率を示すと共に、Al等に比べて優れた耐食性を確保することができる。

【0014】このような電極配線材料を用いて電極配線は、例えば、Ar、Kr、Xe等のガス雰囲気中でスパッタリングにより成膜することにより形成することができます。

きる。この場合、スパッタリング装置のパワー、圧力等の各種成膜条件を調整することが必要となる。

【0015】なかでもKr、Xeは、Arに比べて原子量が充分に大きく、成膜に際して高いエネルギーを与えることができる。このため、良好な結晶構造を有する膜を形成することができ、抵抗率を低減させることができ。このように、良好な結晶構造を有する膜を形成することができるので、その膜を構成する材料の格子定数を、その材料のバルク状態における格子定数とほぼ等しく設定することも可能となる。ここで、格子定数がほぼ等しいとは、材料のバルク状態における格子定数に対する膜を構成する材料の格子定数の割合が±3%以内、好ましくは±1%以内であることを意味する。

【0016】本発明の電極配線材料を用いて電極配線を形成する場合、主としてMoやWを単相で形成してもよいが、これらの合金やCr等の高融点金属と共に成膜してもよい。このように合金化することにより、電極配線をより低抵抗化を達成することができる。

【0017】次に、本発明者らによる実験結果に基づいて本発明を詳細に説明する。まず、本発明にかかる電極配線材料を用いて成膜した電極膜中のKr、Xe、Arの含有量と電極膜に与える影響との関係について説明する。

【0018】枚葉式のロードロック式スパッタリング装置を用い、成膜前の基板温度を200°C、成膜パワーを10kW、電極間距離を5cmにそれぞれ設定し、Arガス圧0.9Paの雰囲気中において、ガラス基板上に65原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜（試料1）を形成した。なお、この試料1の膜中のAr含有量を蛍光X線装置R IX-1000（理学電気工業社製、商品名）により測定したところ、0.3原子%であった。また、この試料1の抵抗率を測定したところ17μΩ·cmであった。

【0019】また、枚葉式のロードロック式スパッタリング装置を用い、成膜前の基板温度を200°C、成膜パワーを10kW、電極間距離を5cmにそれぞれ設定し、Krガス圧0.6Paの雰囲気中において、ガラス基板上に65原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜（試料2）を形成した。なお、この試料2の膜中のKr含有量を蛍光X線装置STEM3271（理学電気工業社製、商品名）により測定したところ、0.0003原子%以下であった。また、この試料2の抵抗率を測定したところ12μΩ·cmであった。

【0020】また、斜め入射成分の多いスパッタリング装置を用い、成膜前の基板温度を30°C、成膜パワーを1kW、電極間距離を10cmにそれぞれ設定し、Arガス圧0.5Paの雰囲気中において、ガラス基板上に65原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜（試料3）を形成した。なお、この

試料3の膜中のAr含有量は約20原子%であった。また、この試料3の抵抗率を測定したところ $50\ \mu\Omega\cdot cm$ であった。

【0021】また、枚葉式のロードロック式のスパッタリング装置を用い、成膜前の基板温度を200°C、成膜パワーを10kW、電極間距離を5cmにそれぞれ設定し、Arガス圧0.9Paの雰囲気中において、ガラス基板上に30原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜（試料4）を形成した。なお、この試料4の膜中のAr含有量は3原子%であった。また、この試料4の抵抗率を測定したところ $25\ \mu\Omega\cdot cm$ であった。

【0022】また、枚葉式のロードロック式のスパッタリング装置を用い、成膜前の基板温度を200°C、成膜パワーを10kW、電極間距離を5cmにそれぞれ設定し、Krガス圧0.6Paの雰囲気中において、ガラス基板上に30原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜（試料5）を形成した。なお、この試料5の膜中のKr含有量は0.001原子%であった。また、この試料5の抵抗率を測定したところ $13\ \mu\Omega\cdot cm$ であった。

【0023】さらに、本発明者らの研究の結果、膜中におけるArの含有量が5原子%を超えると、抵抗率が急増することが分かった。この傾向は、XeあるいはKrについても概ね同様であり、膜中におけるXeあるいはKrの含有量が3原子%を超えると抵抗率が急増した。また、膜中におけるMoやWの含有量が10原子%～95原子%の範囲外であると、上記と同様に抵抗率が増大した。

【0024】このように、抵抗率を考慮する場合、材料中におけるArの添加量は5原子%以下、Krの添加量は3原子%以下、Xeの添加量は3原子%以下であることが望ましいことが分かった。一方、Ar、KrおよびXeの添加量が0.0003原子%よりも少ない場合には、成膜の際に成膜パワーを低減させ、スパッタリングレートを充分に遅くする必要がある。また、成膜した後に膜構成材料を再結晶化させる必要がある。したがって、Ar、KrおよびXeの添加量が0.0003原子%よりも少ない場合、工業的にはまったく不向きであることも分かった。

【0025】また、本発明者らは、上述した枚葉式のロードロック式のスパッタリング装置を用い、ガラス基板上に65原子%のMoを含むMoWを堆積させて膜厚300nmのMoW合金膜を成膜条件を変化させて形成し、膜中におけるAr含有量が異なるMoW合金膜を得た。この結果、例えば、成膜パワーを増大させることにより、Ar含有量が多いMoW合金膜を得ることができ、成膜圧力を小さくすることにより、やはりAr含有量が多いMoW合金膜を得ることができる。

【0026】図1は、応力、抵抗率および膜はがれ率

と、膜中のAr含有量との関係を示す特性図である。応力および抵抗率の点においては、Arの含有量が0.0003原子%～5原子%の範囲内で優れた特性を示していることが分かる。また、膜はがれ率についてみると、Ar含有量が0.4原子%よりも少ない領域で増大する傾向がある。したがって、特に膜の密着性を重視する用途においては、好ましくは、Arの含有量を0.4原子%～5原子%の範囲内に設定することが望ましい。

【0027】また、本発明者らは、上述した枚葉式のロードロック式のスパッタリング装置を用い、ガラス基板上に65原子%のMoを含むMoWを堆積させて膜厚400nmのMoW合金膜を成膜条件を変化させて形成し、膜中におけるKr含有量が異なるMoW合金膜を得た。

【0028】図2は、応力、抵抗率および膜はがれ率と、膜中のKr含有量との関係を示す特性図である。応力、抵抗率、および膜はがれ率のいずれにおいても、Krの含有量が0.0003原子%～3原子%の範囲内で優れた特性を示していることが分かる。また、異なるスパッタリング装置を用いてKrを含むMoW合金膜を形成した場合、Kr含有量の増大に伴い、応力は単純減少するのではなく変動するので、応力については装置依存性が強いことが分かった。

【0029】以上のことから、本発明の電極配線材料においては、0.0003原子%～5原子%のAr、0.0003原子%～3原子%のKrおよび0.0003原子%～3原子%のXeからなる群より選ばれた添加元素を含むように設定する。これらの添加元素は、電極配線材料の主成分の金属に単独で混入されていてもよく、混合して混入されてもよい。添加元素を混合して混入する場合、膜の特性は、ほぼ個々の添加元素の添加による膜の特性の変化が加算された特性となる。

【0030】次に、抵抗率の成膜ガス依存性および組成依存性について図3を参照して説明する。図3は、抵抗率とMoの含有量との関係を示す特性図である。試料は、小型の枚葉式のロードロック式のスパッタリング装置を用い、成膜前の基板温度を150°C、成膜パワーを2kW、電極間距離を5.5cmにそれぞれ設定し、Ar、Kr、Xeのガス圧0.5Paの雰囲気中において、ガラス基板上に膜厚300nmで堆積させたものである。なお、各膜中におけるAr、Kr、Xeの含有量は、いずれも本発明の範囲内であった。

【0031】図3から分かるように、Moの含有量が多い方が、より抵抗率を低減させることができる。特に、Ar雰囲気中における成膜においては、Mo単相で構成する方が抵抗率を低減させることができる。また、Xe、Kr雰囲気中における成膜においては、Moが90原子%以下、さらに80原子%以下の範囲内で低い抵抗率のものを得ることができ、良好な結果が得られた。また、特にAr雰囲気中よりも、XeあるいはKr雰囲

気、特にKr雰囲気中において成膜することが好ましいことも分かる。

【0032】図4は、X線により測定された格子定数とMoの含有量との関係を示す特性図である。図4から分かるように、Ar雰囲気中よりも、XeあるいはKr雰囲気、特にKr雰囲気中において成膜することにより、格子定数がバルク状態の格子定数により近くなり、結晶性が良好となる。これは、Kr、XeがArに比べて原子量が充分に大きく、成膜に際して高いエネルギーを与えることができるからであると考えられる。これにより、低抵抗化が達成される。実際に、バルク状態の格子定数との差が1.03倍以内、好ましくは1.01倍以内の膜は低抵抗率を有するものであった。

【0033】次に、膜の特性に対する成膜条件の依存性について、図5～図8を参照して説明する。図5は抵抗率と成膜パワーとの関係を示す特性図であり、ガス圧0.9Paの雰囲気中における抵抗率の成膜パワー依存性を示している。図6は抵抗率とガス圧との関係を示す特性図であり、成膜パワー10kWにおける抵抗率のガス圧依存性を示している。図5および図6における試料は、上述した枚葉式のロードロック式のスパッタリング装置を用い、成膜前の基板温度を200°C、電極間距離を5cmにそれぞれ設定し、ArおよびKrのそれぞれの雰囲気中において、ガラス基板上に65原子%のMoを含むMo-W合金膜を膜厚400nmで形成したものである。

【0034】また、図7は抵抗率と成膜パワーとの関係を示す特性図であり、ガス圧0.75Paにおける抵抗率の成膜パワー依存性を示しており、図8は抵抗率とガス圧との関係を示す特性図であり、成膜パワー2kWにおける抵抗率のガス圧依存性を示している。図7および図8における試料は、上述と異なる小型の枚葉式のスパッタリング装置を用い、成膜前の基板温度を150°C、電極間距離を5.5cmにそれぞれ設定し、ArおよびKrのそれぞれの雰囲気中において、ガラス基板上に65原子%のMoを含むMo-W合金膜を膜厚300nmで形成したものである。

【0035】上述した実験結果から分かるように、Ar雰囲気中における成膜は、比較的成膜パワーを小さく、またガス圧を高く設定することにより低抵抗化が達成される。また、KrやXe雰囲気中における成膜においては、装置依存性があり、また抵抗率を極小にするための最適条件が存在する。

【0036】また、膜厚と抵抗率との関係について調べたところ、膜厚30nmまでは若干抵抗率が高かったが、膜厚30nmを超えると膜質が安定して、一定の抵抗率を示すことが分かった。

【0037】以下、本発明の実施例を図面を参考しながら具体的に説明する。

(実施例1) 図10は、本発明の電極配線材料を用いた

液晶表示装置の駆動回路基板(電極配線基板)を示す平面図である。図9は図10のIX-IX線に沿う断面図である。なお、図10においては電極配線および電極としてのパッドのみを示す。また、ここでは、使用されるTFTおよび蓄積容量部分の構成およびそのプロセスを中心で説明する。

【0038】まず、図9中10<sub>1</sub>、10<sub>2</sub>はガラス基板を示す。このガラス基板10<sub>1</sub>上には、下側のブラックマトリクス18が形成されており、ブラックマトリクス18の上には絶縁膜19が形成されている。絶縁膜19上には、アドレス配線(ゲート電極と一体形成されている)から延びてなるMo-W合金のゲート電極1が形成されている。ゲート電極1上には、絶縁膜7を介して半導体層4、ストップー絶縁膜5が形成されており、それぞれバーニングされている。

【0039】このゲート電極1は次のようにして形成する。まず、ガラス基板10<sub>1</sub>を枚葉式のロードロック式のスパッタリング装置内に載置し、成膜前の基板温度を150°C、成膜パワーを10kW、電極間距離を5cmにそれぞれ設定し、Krガス圧0.5Paの雰囲気中においてMo-W合金ターゲットを用いてスパッタリングを行い、65原子%のMoを含むMo-Wをガラス基板10<sub>1</sub>上に堆積させて厚さ300nmのMo-W合金膜を形成した。なお、この膜中のKr含有量は0.001原子%であり、格子定数はバルク状態とほぼ等しい3.15オングストロームであった。このMo-W合金膜の抵抗率は、13μΩ·cmと充分に低抵抗化がなされていた。

【0040】次いで、このMo-W合金膜をCF<sub>4</sub>とO<sub>2</sub>との混合ガスを用いてテープエッチングして、テープ一角35°のゲート電極1を形成した。ゲート電極のテープ角としては、ゲート絶縁膜による被覆性(カバレッジ)を良好にするために、20～60°、好ましくは、25～50°の範囲にすることが好ましい。

【0041】次いで、このゲート電極上に、SiO<sub>2</sub>およびSiNxの積層体からなる絶縁膜7、a-Si:H等からなる半導体層4、SiNxからなるストップー絶縁膜5を形成し、それぞれバーニングする。

【0042】さらに、上記構成上には、A1またはMo-W合金で構成されたドレイン電極3aおよびソース電極3bが形成されている。図6中30a、30bはn型非晶質シリコンで構成されるソース・ドレイン領域を示す。このようにしてTFT17が構成されており、このTFT17のソース電極3bには、画素電極6が接続されている。このようにして液晶駆動回路基板21が構成されている。なお、画素電極6の材料としては、ITOやSnO<sub>2</sub>等の透明導電材料を用いることができる。

【0043】対向電極20は、ガラス基板10<sub>2</sub>上にカラーフィルター8およびMo-W合金からなるブラックマトリクス9を形成し、その上にITOからなる対向電極11を形成することにより構成されている。この液晶

駆動回路基板21および対向基板20を図9に示すように対向させ、両者の間に液晶材料16を挟持させることにより液晶表示装置が構成される。

【0044】また、ガラス基板101上には、一端にMo-W合金からなるアドレス電極パッド13を有する複数のアドレス配線1と、これらの複数のアドレス配線1と交差し、その一端にMo-W合金からなるデータ電極パッド16を有する複数のデータ配線2が形成されている。なお、アドレス配線1とデータ配線2との交差部分では、アドレス配線1とデータ配線2との間に絶縁膜が設けられている。この交差部分には、隣接するようにスイッチング素子としてTFT17が形成されており、その一方の電極であるソース電極3bには、アドレス配線1とデータ配線2により囲まれた画素領域に形成された画素電極6が接続されている。また、アドレス電極パッド13の領域は、アドレス電極15およびコンタクトホール14を包含する広さを有している。

【0045】上記構成を有する液晶表示装置は以下のような種々の効果を奏する。すなわち、TFTを用いた液晶表示装置において配線抵抗は、画面が大型になり、高精細になるにしたがい、低抵抗であることが必要になる。例えば、パソコン用のディスプレイ(VGA)では、配線が $480 \times (640 \times 3)$ であり、上級パソコン用ディスプレイ(XGA)では、配線が $760 \times (1024 \times 3)$ である。この場合の配線抵抗は、ゲートパルスの遅延を防止するために低抵抗である必要がある。パルス遅延は、配線抵抗Rと配線に付加しているTFTや蓄積容量の容量Cとの積CRにより決定される。画面が大型化すると、配線が長くなるため必然的にRが増大してCRが大きくなる。また、画素数が増えると、 $C = C_0 X_n$  ( $C_0$ : 単位画素の容量、n: 画素数) が増加するためCRが大きくなる。Cは画素より決まるので、パルス遅延を防止するためにはRを下げる必要がある。

【0046】通常の製法では、対角10インチクラス以上の画面サイズでの通常の設計においては、VGAは $40 \mu\Omega \cdot cm$ 、SVGAは $2540 \mu\Omega \cdot cm$ 以下、XGAは $20 \mu\Omega \cdot cm$ 以下の抵抗率が必要である。このため、VGAの配線材料には、抵抗率が $40 \mu\Omega \cdot cm$ 程度の通常Mo-TaやCrを使用することができるが、XGAでは、Mo-TaやCrを使用することができない。しかしながら、本実施例では、抵抗率が $20 \mu\Omega \cdot cm$ 以下となるKr含有の低抵抗Mo-Wを使用するため、このようなVGA、XGA規格の高精細な液晶表示装置を提供することが可能となる。

【0047】また、本実施例においては、Mo-W合金を用いて形成したアドレス線は、CF<sub>4</sub>とO<sub>2</sub>との混合ガスを用いてCDE(Chemical Dry Etching)によりテーパー加工を施すことができることが分かった。さらに、MoおよびWよりも高くTiよりも低い酸化還元電

位を有する酸化剤を含んだアルカリエッチャント(pH 7~13)を用いたウェットエッティングにより、レジストに劣化を与えることなく、テーパー加工を施すことができることが分かった。

【0048】したがって、本実施例によれば、Mo-W合金は低抵抗率を有するので、この材料を用いて形成したアドレス配線は低い抵抗を示し、それゆえ、この配線抵抗によるゲートパルスの遅延は生ずることはなく、所定のスイッチング素子に遅延のないゲートパルスを与えることができる。

【0049】また、Mo-W合金膜はテーパー加工できるため、この材料を用いて形成したアドレス配線上に成膜する層間絶縁膜のステップカバレッジが良くなり、絶縁耐圧を高く確保することができる。なお、テーパーエッティングを容易にするためにSiO<sub>2</sub>のアンダーコート層を設けることが望ましいが、エッティング条件の選定等によりアンダーコート層を不要とすることができる。

【0050】したがって、表示領域を大面積化した場合であっても、信頼性のある液晶表示装置を実現することができる。また、大面積のディスプレイでなくても、アドレス配線の抵抗率が低くなると配線幅を細くできるため、開口率を上げることができる利点もある。

【0051】また、上記構成を有する液晶表示装置では、アドレス電極パッド13およびデータ電極パッド16も上述したゲート電極と同一のMo-W合金により形成されているので、例えば、COG(Chip On Glass)実装の際に、それらの電極パッドとこれに接続される影像信号用ICとの間の接合力が向上し、高い信頼性が得られる。

【0052】さらに、Mo-W合金は反射率が低いので、ブラックマトリクス材料としてMo-W合金を用いることにより、画像表示面での外部からの光の反射を低減し、高品位の表示品質を実現することができる。

【0053】さらに、図11に示すように、Mo-W合金の耐薬品性は、W含有率が20%~95%、好ましくは25%~90%で非常に優れており、画素電極材料のITOエッチャントに対するエッティングレートが $10 \text{ nm/m in}$ 以下であり、層間絶縁膜のエッチャントであるBHFに対して全くエッティングされず、また、Alエッチャントに対してはエッティングレートが $30 \sim 400 \text{ nm/m in}$ 以下であった。特に、Wが50%以上の場合には、各エッチャントに対して全く侵されないことが分かった。したがって、各種の配線材料としてのMo-W合金を用いる場合、微細加工が可能となり、パソコン用のディスプレイ(VGA)(配線が $480 \times (640 \times 3)$ )、上級パソコン用のディスプレイ(XGA)(配線が $760 \times (1024 \times 3)$ )等の高精細な液晶表示装置を提供することができる。

【0054】また、Mo-Wと近い性質を持つArO<sub>3</sub>原子%含有のMo-Tiのエッティング特性についての

本発明者らの調べによると、図12に示すように、画素電極6の形成に用いるITOエッチャントやコンタクトホール形成に用いるBHFに対するMo-W合金の耐薬品性は、Ti含有量20~80%で非常に優れていることが分った。また、Tiよりも高い酸化還元電位を有する酸化剤を含んだ弱アルカリエッチャント(pH7~9)を用いることにより、レジストの溶解なしにエッチングすることが可能であることが分った。また、W-Tiでも優れた耐酸性を示すことが分かった。また、Tiの他に、Ta、Nb、Cr、Zr、Hfを5原子%程度添加するものであっても、ほぼ同等の傾向を示し、特にXe、Krを所定量含有するものは各種の良好な特性を示すことが確認された。

【0055】なお、本実施例においては、温度が室温から300°C、パワーが大型装置では3~20kW、小型装置では1~4kW、圧力が0.3~1.2Pa、電極間距離が4~10cmの間の成膜条件で充分良好な膜特性を示すことが分かった。

【0056】本実施例における配線において、下地(基板)との密着性を向上させるためには、Ar含有のMo-W合金の窒化物からなる膜とMo-W合金からなる膜を積層することが好ましい。Mo-W合金のうち、特にW含有率50原子%以下のものからなる膜については、空気中でアニールすると抵抗率が1桁以上上昇してしまうことが分かった。これは、表面の極端な酸化によるものである。この場合、Mo-W合金の窒化物からなる膜をその上に積層することにより、酸化が防止され抵抗が上昇しないことが分かった。すなわち、Ar含有のMo-W合金をスパッタリングで成膜した後に、N含有量が50原子%以下のMo-W合金の窒化物をスパッタリングし、CF<sub>4</sub>+O<sub>2</sub>の混合ガスでプラズマ加工することにより、酸化されにくかつ低抵抗な配線を形成することができる。この場合、Mo-W合金膜の形成と同一のプロセスで形成することができる。なお、この場合、窒素(N)が50原子%より多く含まれると急激に抵抗値が上昇するため、Nの含有量は50原子%以下に抑える必要がある。

(実施例2)以下の実施例においては、実施例1と同一部分には同一符号を付し、簡略化のためにその詳細な説明は省略する。

【0057】本実施例において、実施例1と異なる点は液晶駆動回路基板および配線材料である。図13は、本発明の電極配線材料を用いた液晶表示装置の液晶駆動回路基板の他の例を示す断面図である。この液晶駆動回路基板について、TFTおよび蓄積容量部分の構成およびそのプロセスを中心に説明する。ガラス基板101上には、厚さ100nmの多結晶Si膜104が形成されており、その上には厚さ100nmのゲート酸化膜107<sub>3</sub>が形成されている。さらに、その上には、Arを0.1原子%含有するMo-Ti合金からなるゲート電極1

02が形成されている。このMo-Ti合金はTiを10原子%含有するものである。

【0058】このゲート電極102は次のようにして形成する。まず、ガラス基板101を小型の枚葉式のロードロック式のスパッタリング装置内に載置し、成膜前の基板温度を150°C、成膜パワーを2kW、電極間距離を5.5cmにそれぞれ設定し、Arガス圧0.6Paの雰囲気中においてMo-Ti合金ターゲットを用いてスパッタリングを行い、10原子%のTiを含むMo-Ti合金をガラス基板101上に堆積させて厚さ300nmのMo-Ti合金膜を形成した。なお、この膜中のAr含有量は0.1原子%であり、格子定数はバルク状態とほぼ等しい3.14オングストロームであった。このMo-Ti合金膜の抵抗率は、25μΩ·cmと充分に低抵抗化がなされていた。

【0059】上記構成上には、ソース/ドレイン部n<sup>+</sup>多結晶Si層103a、103bが形成され、島状の多結晶Si活性層104が形成されている。これは、ゲート電極102をマスクとしてリンをドーズ量1×10<sup>16</sup>cm<sup>-2</sup>で注入することにより作製することができる。さらに、その上には、熱CVDにより厚さ300nmの層間絶縁膜107<sub>1</sub>が形成されている。

【0060】画素領域には、ITOを厚さ100nmでスパッタリングしてパターニングすることにより画素電極206が形成されている。さらに、コンタクト部およびゲート部の層間絶縁膜(SiO<sub>x</sub>)107<sub>1</sub>には、希HFを用いてエッチャングすることによりコンタクトホールが形成されており、その上にスパッタリングによりAr含有のMo-W合金を堆積して厚さ300nmのMo-W合金膜を形成してパターニングすることにより、信号線、ソース電極(第1の主電極)106a、およびドレイン電極(第2の主電極)106bが形成されている。ここで、Mo-W合金は、Wを60原子%含有するものである。

【0061】この信号線等は次のようにして形成する。まず、ガラス基板101を小型の枚葉式のロードロック式のスパッタリング装置内に載置し、成膜前の基板温度を150°C、成膜パワーを3kW、電極間距離を5cmにそれぞれ設定し、Arガス圧0.8Paの雰囲気中においてMo-W合金ターゲットを用いてスパッタリングを行い、60原子%のWを含む厚さ300nmのMo-W合金膜を形成した。なお、この膜中のAr含有量は2原子%であり、格子定数はバルク状態とほぼ等しい3.16オングストロームであった。このMo-W合金膜の抵抗率は、13μΩ·cmと充分に低抵抗化がなされていた。

【0062】TFT領域上には、プラズマCVDによりSiNx膜を形成し、画素および周辺回路接続部をRIEでエッチャングすることにより、パッシベーションSiNx膜107<sub>2</sub>が形成されている。このようにして液晶

駆動回路基板 110 が構成されている。

【0063】上記構成を有する液晶駆動回路基板 110 を用い、実施例 1 と同様にして液晶表示装置を作製し、実施例 1 と同様の評価を行ったところ、液晶表示装置は実施例 1 における同様の効果を発揮した。さらに、以下の効果が得られた。すなわち、従来は信号線金属として Al を用いていたため、ITO や  $n^+$  多結晶 Si との間に Mo 等の高融点金属のバリアメタルを設ける必要があるが、信号線金属として低抵抗でバリアメタルである Mo-W 合金を用いることにより、バリアメタルが不要となり、それにより工程を削減することができた。

(実施例 3) 本実施例において、実施例 1 と異なる点は液晶駆動回路基板およびゲート電極を含む配線材料である。図 14 は、本発明の電極配線材料を用いた液晶表示装置の液晶駆動回路基板の他の例を示す断面図である。この液晶駆動回路基板は、チャネル上の  $n^+$  非晶質シリコンをエッチングしてなる構造を有する TFT を用いたものである。また、蓄積容量部分はゲート電極およびデータ配線と同一層の配線により形成されている。この液晶駆動回路基板は次のようにして作製する。

【0064】まず、ガラス基板 101 上に実施例 1 で使用した配線金属である Mo-W でゲート電極 112<sub>1</sub> と、Cs 配線 112<sub>2</sub> を同時に一体形成する。Mo-W の成膜については実施例 1 と同様に行う。次いで、層間絶縁膜 117<sub>3</sub>、非晶質 Si 活性層 114、 $n^+$  非晶質 Si 層 115<sub>a</sub>、115<sub>b</sub> を順次形成し、パターニングする。次いで、上記配線金属でソース電極 116<sub>a</sub>、ドレイン電極 116<sub>b</sub> を同時に形成する。次いで、その上に酸化膜 117<sub>1</sub> を形成し、ドレイン電極 116<sub>b</sub> 上にコンタクトホールを形成し、さらに、画素領域に画素電極 216 を形成する。なお、この画素電極 216 と Cs 配線 112<sub>2</sub> 間で補助容量が形成される。

【0065】上記構成を有する液晶駆動回路基板 110 を用い、実施例 1 と同様にして液晶表示装置を作製し、実施例 1 と同様の評価を行ったところ、液晶表示装置は実施例 1 における同様の効果を発揮した。さらに、以下の効果が得られた。すなわち、製造工程において CDE でエッチングでき、また、Mo、W の酸化膜の抵抗が低いため、ITO は良好なコンタクトを得ることができるので、バリアメタルを必要としなかった。

【0066】ここで、上述した実施例 1 ~ 実施例 3 においては、各構成部分が各実施例の内容に限定されるものではない。例えば、半導体材料として、多結晶 Si、非晶質 Si に限らず、この中間の微結晶 Si を用いてよい。また、CdSe、SiGe 等の化合物半導体を使用してもよい。また、データ線上に形成する絶縁膜は、酸化膜に限らず空化膜、酸化窒化膜を用いてよい。さらに、スイッチング素子としては、トランジスタに限定されるものではなく、実施例 1 のトランジスタの代わりに、MIM やダイオードを使用することができる。ま

た、本発明の電極配線材料を単純マトリックス液晶表示装置の電極配線に適用することもできる。

【0067】さらに、上記実施例において用いられている合金は、各実施例のように単層で使用してもよく、組成の異なる合金による 2 層以上の積層膜、例えば表面酸化を防止するために、Mo および W を主成分とし窒素を含有する合金からなる膜を Mo-W 合金からなる膜の上に形成した積層膜を用いてもよい。

【0068】また、上記実施例において説明した前述の Mo-W 合金膜の表面に、すなわち Mo-W 合金膜の上層に Ta、Ta-N、Ta-Mo、Ta-Nb、Ta-W、Ta-Nb-N、Ta-Mo-N、Ta-W-N 合金またはこれらの合金等の金属を積層して、耐酸性を向上させてもよい。さらに、前述の Mo-W 合金膜の下層に Al、Cu、Au 等からなる膜を設けて抵抗をさらに下げてもよい。

【0069】また、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

(実施例 4) 図 15 は、Ar、Kr を 0.2 原子% 含有した Mo-W 合金膜を DRAM の MOS トランジスタに適用したものである。

【0070】このDRAM の具体的構成は次のようになる。図中 41 は Si の単結晶基板を示す。単結晶基板 41 には、不純物拡散領域である  $n^+$  領域 45a、45b が形成されている。単結晶基板 41 上には、LOCOS 酸化シリコン膜 47<sub>3</sub> が形成されている。また、LOCOS 酸化シリコン膜 47<sub>3</sub> 上には、Mo-W 合金からなるゲート電極 42 が形成されている。

【0071】この Mo-W 合金膜は次のようにして形成する。まず、単結晶基板 41 を小型の枚葉式のロードロッカ式のスパッタリング装置内に載置し、成膜前の基板温度を 150°C、成膜パワーを 2 kW、電極間距離を 5.5 cm にそれぞれ設定し、Ar ガス圧 0.3 Pa、Kr ガス圧 0.5 Pa の雰囲気中において Mo-W 合金ターゲットを用いてスパッタリングを行い、35 原子% の W を含む厚さ 300 nm の Mo-W 合金膜を形成した。格子定数はバルク状態とほぼ等しい 3.16 オングストロームであった。この Mo-W 合金膜の抵抗率は、1.5 μΩ·cm と充分に低抵抗化がなされていた。

【0072】ゲート電極 42 上には、シリコン空化膜 40 が形成されており、その上には、フィールド酸化膜 47<sub>1</sub> が形成されている。フィールド酸化膜 47<sub>1</sub> には、 $n^+$  領域 45a、45b に達するコンタクトホールが形成されており、コンタクトホール内には、A1 ソース・ドレイン電極 46a、46b が形成されている。

【0073】なお、DRAMにおいては、ゲート電極 42 は多結晶 Si や Mo-Si<sub>2</sub> 等のシリサイドで形成されるが、1~5 Ω/□ とシート抵抗が高く DRAM のワード線間の配線材料として用いた場合パルス遅延が問題に

なる。これに対して、実施例1で使用したものと同一のAr含有のMoW合金でゲート電極42およびワード線(図示せず)を形成すると、 $0.3\Omega/\square$ と1桁程度低抵抗化することができる。また、MoW合金は耐熱性、低抵抗、耐酸性に優れているため、ゲート線およびワード線等の配線に適しており、高速性に優れたDRAMを提供することができる。ここでは、配線以外にパッド電極として使用することができる。

【0074】なお、本発明の電極配線基板はDRAMに限るものではなく、ASIC等の他のLSIにも適用することができることはいうまでもない。また、半導体メモリ装置としてのSRAMにも適用することができる。特に、電極に関しては、実施例1のアドレス線と同一材料でパワー素子、例えばGTO(ゲートターンオフサイリスタ)、IGBT(インシュレーテッドゲートバイポーラトランジスタ)、サイリスタ等のゲート電極、半導体層からの引き出し電極として適用することができる。

#### 【0075】

【発明の効果】以上説明したように本発明の電極配線材料は、MoおよびWから選ばれた少なくとも1種を主成分とし、0.0003原子%~5原子%のAr、0.003原子%~3原子%のKr、および0.0003原子%~3原子%のXeからなる群より選ばれた添加元素を含むので、充分に低い抵抗率を有し、しかも取扱いが容易である。

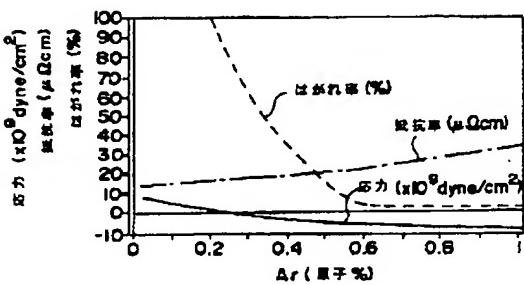
【0076】また、本発明の電極配線基板は、ガラス基板上に電極配線が形成されてなる電極配線基板において、前記電極配線がMoおよびWから選ばれた少なくとも1種の金属で構成されており、前記電極配線における材料の格子定数が前記材料のバルク状態の格子定数とほぼ等しいので、信頼性の高いものである。

#### 【図面の簡単な説明】

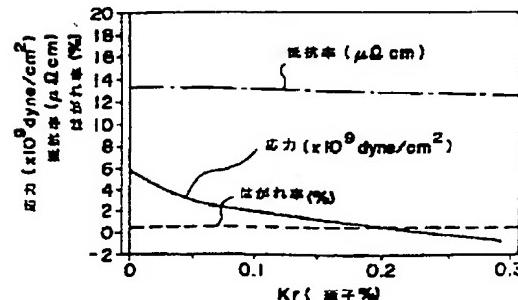
【図1】応力、抵抗率および膜はがれ率と、膜中のAr含有量との関係を示す特性図。

【図2】応力、抵抗率および膜はがれ率と、膜中のKr含有量との関係を示す特性図。

【図1】



【図2】



【図3】抵抗率とMoの含有量との関係を示す特性図。

【図4】X線により測定された格子定数とMoの含有量との関係を示す特性図。

【図5】抵抗率と成膜パワーとの関係を示す特性図。

【図6】抵抗率とガス圧との関係を示す特性図。

【図7】抵抗率と成膜パワーとの関係を示す特性図。

【図8】抵抗率とガス圧との関係を示す特性図。

【図9】図10のIX-IX線に沿う断面図。

【図10】本発明の電極配線材料を用いた液晶表示装置の駆動回路基板を示す平面図。

【図11】MoW合金のエッチングレートとW含有率との関係を示す特性図。

【図12】MoTi合金のエッチングレートとW含有率との関係を示す特性図。

【図13】本発明の電極配線材料を用いた液晶表示装置の液晶駆動回路基板の他の例を示す断面図。

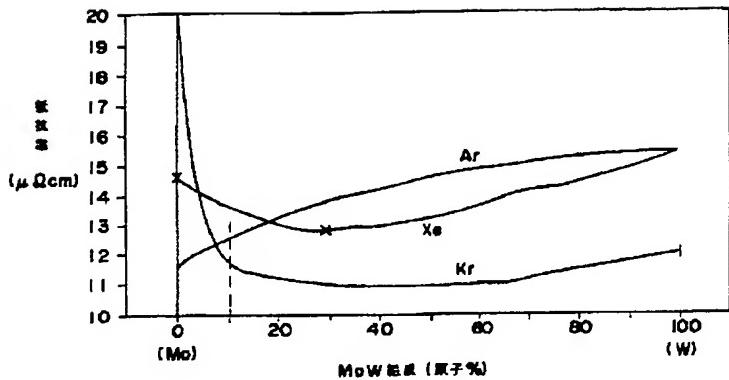
【図14】本発明の電極配線材料を用いた液晶表示装置の液晶駆動回路基板の他の例を示す断面図。

【図15】本発明の電極配線材料を用いた半導体装置の回路基板を示す断面図。

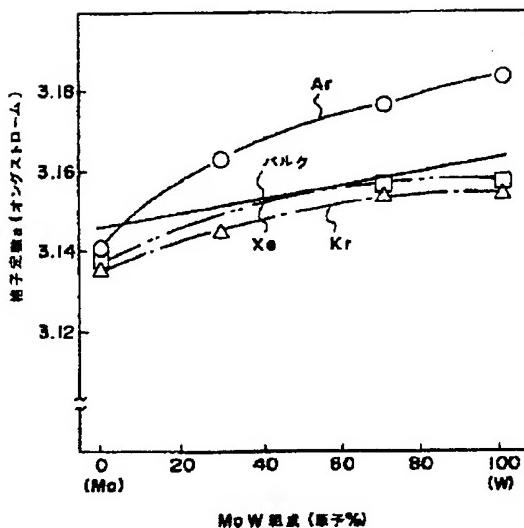
#### 【符号の説明】

1…アドレス線、2…信号線、3, 30, 46, 106, 116…ソース・ドレイン電極、4…半導体膜、5, 19…絶縁膜、6…画素電極、7…絶縁膜、8…カラーフィルター、10…ガラス基板、11…対向電極、12…液晶層、13…アドレス電極パッド、14…コンタクトホール、15…アドレス電極、16…液晶材料、17…TFT、9, 18…ブラックマトリクス、20…対向基板、21, 110…液晶駆動回路基板、40…シリコン空化膜、41…単結晶基板、42, 102, 1121…ゲート電極、45… $n^+$ 領域、47…フィールド酸化膜、103, 104…多結晶Si、1071, 1173…層間絶縁膜、1073…ゲート酸化膜、1122…Cs配線、114…非晶質Si活性層、115… $n^+$ 非晶質Si層、206, 216…画素電極。

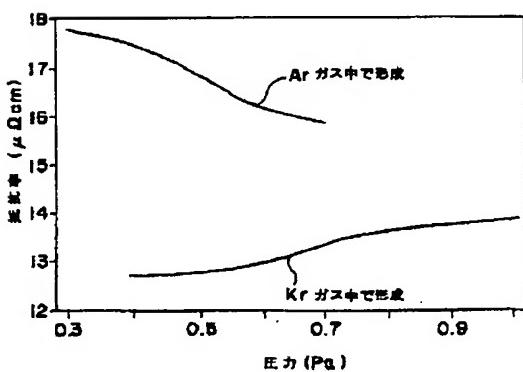
【図3】



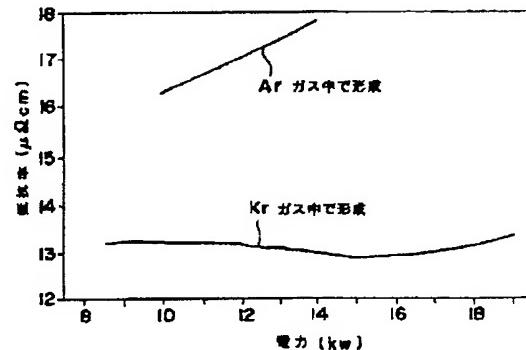
【図4】



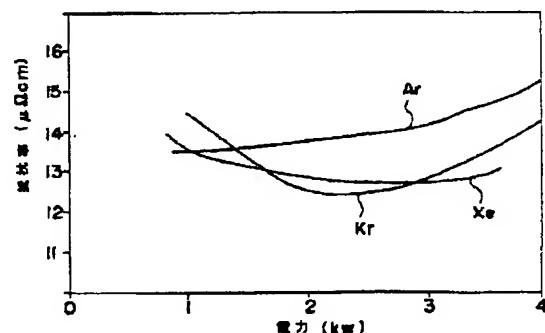
【図6】



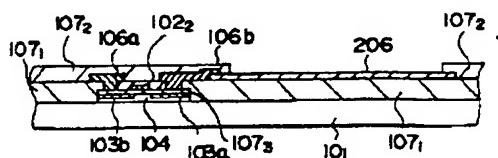
【図5】



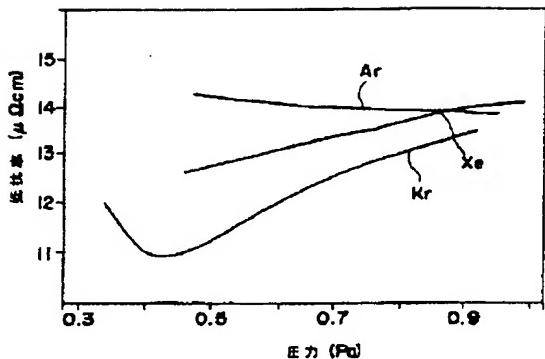
【図7】



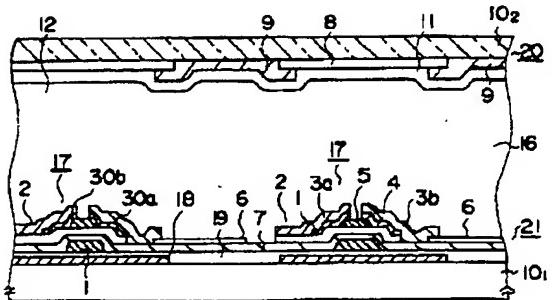
【図13】



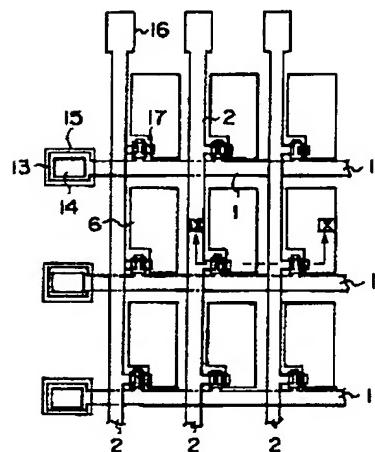
[⊗ 8]



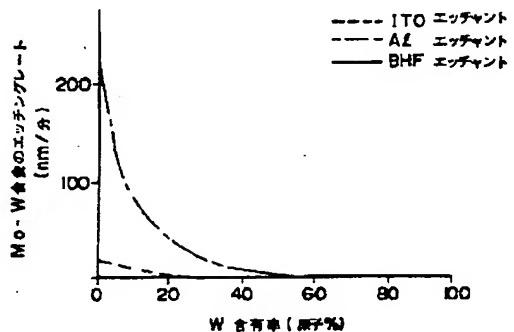
[图 9]



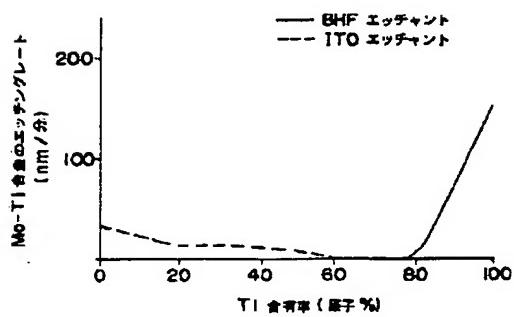
【 1 0】



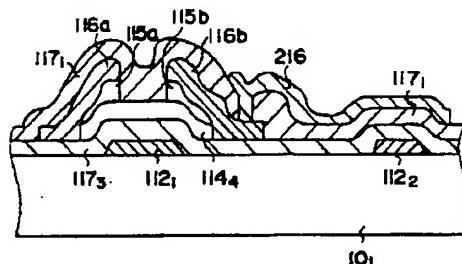
[§ 11]



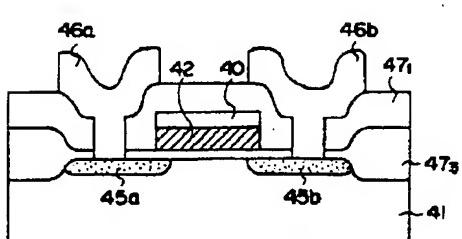
[图 1-2]



[图 1-4-1]



[图 1.5]



## フロントページの続き

(51) Int. Cl. 6	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/285	3 0 1 R			
29/786		9056-4M		
			H 01 L 29/78	6 1 7 M

(72) 発明者 熱田 昌己  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内  
(72) 発明者 原 雄二郎  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72) 発明者 岡 俊行  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内  
(72) 発明者 竹村 モモ子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内